

Avis de Soutenance

Carlos NAVARRO MORAL

Electronique / CMNE

Soutiendra publiquement ses travaux de thèse intitulés

Investigation des Dispositifs FDSOI Avancées et Applications à cellules
DRAM sans capacité

Soutenance prévue le mardi 29 septembre 2015 à 10h00

Lieu : 3, Parvis Louis Neel, Minatec Phelma salle amphitheatre M1

Composition du jury proposé

M. Bruno SAGNES	Institut d'Electronique et des Systèmes	Directeur
M. Sorin CRISTOLOVEANU	IMEP - INP Grenoble MINATEC	CoDirecteur
Mme Maryline BAWEDIN	IMEP - INP Grenoble MINATEC	Co-encadrant
M. François ANDRIEU	CEA-LETI Grenoble	Co-encadrant
M. Francisco GAMIZ	Universidad de Granada	Examineur
M. Fabien PASCAL	Institut d'Electronique et des Systèmes	Examineur
M. Viktor SVERDLOV	Institute for Microelectronics	Rapporteur
M. Yong-Tae KIM	Korea Institute of Science and Technology	Rapporteur
M. Frédéric MARTINEZ	Institut d'Electronique et des Systèmes	Invité

Mots-clés : 1T-DRAM, SOI, Caractérisation,

Résumé :

Chapitre 1: Introduction aux dispositifs FDSOI. Ce chapitre d'introduction présente brièvement l'histoire de la microélectronique jusqu'à aujourd'hui. Les motivations qui sont inhérentes au passage des dispositifs partiellement à complètement déplétés, ainsi que les avantages, y sont détaillés. Enfin, la technologie SOI est passée en revue et les principaux dispositifs FDSOI utilisés tout au long de ce travail sont introduits.

Chapitre 2: Effets de couplage et supercouplage. Dans ce chapitre, les principales implications de l'effet du couplage inter-grille dans des transistors SOI complètement déplétés sont analysées. Le

scénario de couplage extrême, connu sous le nom de supercouplage, est également expliqué et analysé sous influence de la déplétion latérale des zones de source et drain dans les dispositifs à canaux courts. Nous avons démontré que le supercouplage est non seulement un effet qui dépend de la polarisation de la grille et de l'épaisseur du film mais dépend aussi de la longueur de grille, de la polarisation des source et drain et des effets quantiques.

Chapitre 3: Surestimation des effets de canal court. Le troisième chapitre donne à un aperçu général des effets de canal court et des procédures d'usage pour les atténuer. L'influence du couplage inter-grille sur la diminution de la tension de seuil et le DIBL dans des régimes différents de polarisation face arrière est analysée. Un mécanisme original est aussi présenté: la surestimation des SCE du canal face avant provenant des SCE face arrière induite par couplage inter-grille.

Chapitre 4: De nouvelles méthodes de caractérisation pour le FDSOI. Dans le chapitre 4, une technique de caractérisation très efficace, utilisant des diodes FDSOI p-i-n à grille, est détaillée. Cette procédure repose sur l'analyse des courbes de capacité-tension afin de déterminer les tensions de seuil face avant et/ou arrière pour des transistors n et p simultanément. De même, la technique est capable de fournir l'épaisseur d'oxyde face avant et, encore plus important, l'épaisseur du film de silicium dans des substrats FDSOI d'épaisseur en-dessous de 10 nm où les méthodes traditionnelles ne sont plus d'application. Egalement dans ce chapitre, est présentée brièvement l'optimisation de la magnétorésistance géométrique pour des transistors à double et triple grille. Les résultats sont comparés avec des dispositifs FDSOI planaires. Les champs verticaux améliorent la MR géométrique dans les dispositifs qui ont une grille supérieure (planar et Tri-Gate FET), tandis que les champs transversaux font de même pour les transistors possédant une grille latérale (double et triple-grille).

Chapitre 5: La famille 1T-DRAM. Le chapitre 5 explore les cellules mémoires à corps flottant. L'utilisation potentielle d'un transistor SOI comme cellule DRAM, en modulant la tension de seuil (et donc le courant) au travers de la charge à l'intérieure du corps du dispositif, a fait l'objet d'une profonde étude au cours de cette dernière décennie. L'intérêt autour du concept FB-1T DRAM ressuscité étant motivé par les contraintes croissantes auxquelles sont confrontées les cellules DRAM standard. Le défis typiques des 1T+1C DRAM, leur transition vers la cellule avec un seul transistor et les caractéristiques des principaux concurrents, sont résumés et détaillés.

Chapitre 6: Etude détaillé des mémoires MSDRAM. Le sixième chapitre démontre la possibilité d'améliorer le temps de rétention par 50 fois tout en maintenant des marges de courant très élevées. L'amélioration est obtenue en modifiant la polarisation grille face avant et arrière pour améliorer l'évolution de l'état 0 avec le temps. Notez que l'état 1 est d'égale au cours du temps en raison d'une évacuation plus rapide des trous hors du corps du transistor. Ceci permet de limiter la dégradation du temps de rétention issue du repeuplement par les trous parasites et les mécanismes de fuite. La variabilité est également abordée.