

Avis de Soutenance

Corentin GRILLET

NANO ELECTRONIQUE ET NANO TECHNOLOGIES

Soutiendra publiquement ses travaux de thèse intitulés

Simulation du transport quantique dans les transistors en semi-conducteurs III-V

dirigés par Monsieur Marco PALA

Soutenue le **vendredi 07 avril 2017** à 10h30

Lieu : Bâtiment PHELMA - 3 parvis Louis Néel - 38000 Grenoble
salle M001

Composition du jury proposé

M. Arnaud BOURNEL	Université Paris-Sud	Rapporteur
M. Massimo MACUCCI	Université de Pise	Examinateur
M. Raphael CLERC	Université Jean Monnet	Rapporteur
M. Alessandro CRESTI	CNRS Délégation alpes	CoDirecteur de these
M. François TRIOZON	CEA	CoDirecteur de these
M. Marco PALA	CNRS Ile-de-France Sud	Directeur de these

Mots-clés : transport quantique, simulation, semi-conducteurs III-V, transistors, Hamiltonien k.p, fonctions de Green

Résumé :

Au cours de cette thèse, nous avons implémenté des méthodes numériques visant à simuler des transistors à base de semi-conducteurs III-V. En recourant à un Hamiltonien k.p à huit bandes et au formalisme des fonctions de Green, nous avons été en mesure de modéliser de nombreux phénomènes quantiques prenant place dans lesdits nanocomposants. En effet, afin d'anticiper au mieux leur comportement, il est essentiel de tenir compte du confinement quantique, de l'effet tunnel, des interférences, ou encore des interactions électrons-phonons, entre autres effets. Dans nos simulations, ces phénomènes se manifestent sous la forme d'un déplacement des bandes d'énergie ou par des transitions tunnel "bande à bande" ou "source vers drain", et influencent la dispersion des électrons. En outre, le modèle physique a aussi été amélioré par l'implémentation de contraintes de déformation, et la prise en compte des défauts de surface. Cela nous a permis de formuler des prédictions réalistes quant au comportement de différents nanodispositifs logiques. L'objectif de ce travail était de chercher un possible remplaçant à la technologie silicium parmi différents candidats à base de matériaux III-V. En vue de mener à bien ce projet, nous nous sommes donc intéressés à différentes structures. Tout d'abord, nous avons simulé un MOSFET ultra-fin de type n, comportant un canal en In(Ga)As. Ensuite, nous nous sommes aventurés un peu plus loin dans l'extrême miniaturisation, en modélisant des transistors à grille enrobante à base de nanofils. Enfin, notre attention s'est portée sur un tout autre type d'architecture, en étudiant un transistor à effet tunnel vertical, formé d'un assemblage GaSb/AlSb/InAs.