

AVIS DE SOUTENANCE DE THESE

Pour confirmation des horaires et lieu de soutenance de la thèse par le doctorant et diffusion via Internet par le service des études doctorales à une liste préétablie de destinataires

DATE ET HEURE de la soutenance de la thèse : mercredi 18 décembre 2019 à 10h30

Soutenance de **Francois TCHEME WAKAM** pour une thèse de DOCTORAT de l'Université Grenoble Alpes, **spécialité** : NANO ELECTRONIQUE ET NANO TECHNOLOGIES

Intitulé de la thèse : « Modélisation, simulation et caractérisation électrique de cellule mémoire DRAM 1T: A2RAM »

Lieu de soutenance de la Thèse : Minatec - 3 Parvis Louis Néel - 38016 Grenoble - salle M258

Thèse préparée dans le **laboratoire** : CEA - CEA/LETI ,

sous la direction de Gérard GHIBAUDO, directeur de thèse et Maryline BAWEDIN Co-encadrant.

Membres du jury :

- Gérard GHIBAUDO - Directeur de these
- Damien DELERUYELLE - Rapporteur
- Pascal MASSON - Rapporteur
- Philippe GALY - Examineur
- Francis BALESTRA - Examineur

Résumé de thèse :

Avec la croissance de transfert de données, principalement à cause des applications de type internet des objets, il y a un besoin accru de système de stockage (mémoires). L'idéale est d'avoir une mémoire spécifique qui sera facilement intégrée dans ces applications. Cette mémoire doit respecter des exigences spécifiques telles que : une simplicité du mode de fonctionnement, une grande densité d'intégration, une faible consommation électrique, et bas coût de fabrication. Une mémoire capable de répondre à toutes ces exigences n'existe pas, mais une architecture mémoire qui se rapproche des ces critères est la cellule mémoire dynamique (DRAM) intégrée (eDRAM). La DRAM a été proposée pour la première fois en 1968 dans son architecture traditionnelle 1T/1C-DRAM où le transistor sert de point d'accès et la capacité est le point de stockage à l'information. Mais le principal problème de cette architecture est sa faible densité d'intégration causée par la limitation de la miniaturisation de sa capacité de stockage. Une solution pour contourner cette limitation serait l'utilisation d'architectures DRAM sans capacité de stockage : on parle de 1T-DRAM. Ici, le transistor est utilisé pour stocker et lire l'information. On trouve dans la littérature de nombreuses architectures DRAM 1T, mais le but de cette thèse est d'étudier l'A2RAM, afin de voir si elle peut être utilisée en tant que DRAM intégrée.

Fait à Grenoble, le *

Le doctorant Francois TCHEME WAKAM

* La date sera mise ultérieurement lorsque l'autorisation de soutenance de thèse aura été accordée par la direction du SED

Communauté Université Grenoble Alpes

Bâtiment les Taillées • 271 rue de la Houille Blanche • DOMAINE UNIVERSITAIRE • 38400 SAINT-MARTIN-D'HÈRES • FRANCE

Tel. +33 4 76 82 83 84 • E-mail : contact@grenoble-univ.fr