

# Avis de Soutenance

Monsieur Petros SIDERIS

NANO ELECTRONIQUE ET NANO TECHNOLOGIES

Soutiendra publiquement ses travaux de thèse intitulés

*Impact de bruit et couplages électro magnétiques dans les technologies 3D séquentielles : Etudes, modélisation et parade*

dirigés par Monsieur Gilles SICARD

Soutenance prévue le **jeudi 04 mars 2021** à 10h30

Lieu : Phelma Minatec - 3 Parvis Louis Néel - 38000 Grenoble

Salle : M001

## Composition du jury proposé

M. GILLES SICARD	CEA CENTRE DE GRENOBLE	Directeur de thèse
M. PIERRE MAGNAN	Université Fédérale Toulouse Midi-Pyrénées	Examinateur
M. GERARD GHIBAUDO	CNRS DÉLÉGATION ALPES	Examinateur
Mme CRISTELL MANEUX	UNIVERSITE DE BORDEAUX	Rapporteuse
M. PER-ERIK HELLSTROM	Kungliga Tekniska högskolan	Rapporteur

**Mots-clés :** Modélisation, Couplage, Électromagnétique, Bruit,

## Résumé :

Au lieu de réduire la taille des transistors pour respecter la loi de Moore, les technologies d'intégration tridimensionnelle (3-D) offrent une densité d'intégration plus élevée, une consommation d'énergie plus faible et fournissent une plateforme unique pour l'intégration hétérogène de différents matériaux de couches actives par l'empilement vertical des couches de circuits intégrés. L'intégration séquentielle 3-D (également appelée intégration monolithique 3-D ou VLSI 3-D) est un type de schéma d'intégration 3-D, dans lequel les multiples couches empilées sont fabriquées séquentiellement l'un sur l'autre sur la même plaquette. Chaque niveau est constitué de couches actives et de couches BEOL isolées par des couches diélectriques intercouches (ILD). La propriété fondamentale qui différencie cette technologie est la réduction importante de la distance entre les 2 (ou plus) couches, qui conduit à des très petites capacités parasites permettant aux signaux numériques d'avoir une haute fréquence tout en étant générés avec une faible énergie. En conséquence, l'intégration séquentielle 3-D apporte des nouvelles possibilités pour les architectures mixtes avec des performances en termes de vitesse et de faible consommation d'énergie qui ne peuvent pas être facilement satisfaites avec d'autres schémas de technologies 3-D (TSV, copper to copper bonding, etc.). Cependant, les signaux à haute fréquence, la localisation spatiale, la forte densité d'interconnexions peuvent tous être une source majeure d'interférence entre les niveaux empilés,

modulant le comportement attendu des dispositifs ainsi qu'ajoutant du bruit. Il faut donc trouver des solutions et des techniques pour limiter ces effets. Ce travail vise à répondre à ce défi et assurer la robustesse de la technologie. L'impact de l'interférence électromagnétique et du bruit entre les niveaux empilés dans la technologie d'intégration séquentielle 3-D est étudié de manière approfondie dans ce travail, tant au niveau des dispositifs que des circuits. Pour ce faire, les designs digital, analogiques et signaux mixtes/RF les plus critiques ont été sélectionnés pour construire des circuits 3-D monolithiques. Des mesures électriques, en conjonction avec des simulations TCAD, révèlent les mécanismes de couplage responsables pour la propagation électromagnétique et du bruit entre les niveaux empilés. De plus, la force des signaux propagés est évaluée et son impact sur les performances du dispositif / circuit est étudié en profondeur. Cette étude présente également une modélisation complète des effets de couplage entre les niveaux. Les modèles prédisent avec précision l'impact des effets de disposition sur le couplage capacitif inter-niveaux entre les dispositifs actifs, facilitant l'analyse de circuits 3-D monolithiques complexes et à grande échelle avec les outils SPICE et fusionnant le fossé entre les simulations de pré et post-disposition. Enfin, comme étude de cas, l'impact des effets de couplage sur la performance d'un capteur d'image CMOS (CIS) en intégration séquentielle 3-D partitionné en différents niveaux, est examiné. Le CIS constitue un cas d'étude idéal des effets de couplage car il est constitué de parties très sensibles au bruit, tout en présentant une utilisation extrêmement attrayante de l'intégration séquentielle 3D pour l'industrie de semi-conducteurs. Les chiffres de mérite les plus critiques sont donc analysés au niveau du pixel pour assurer le fonctionnement normal du circuit.