

Collège Doctoral
Bâtiment Pluriel – 701 rue de la Piscine
BP 81 – FR – 38402 SAINT MARTIN D'HÈRES
Tél. 04 76 82 40 24 – Fax 04 76 82 40 40

AVIS DE SOUTENANCE DE THESE

Pour confirmation des horaires et lieu de soutenance de la thèse par le doctorant et diffusion via Internet par le service des études doctorales à une liste préétablie de destinataires

DATE ET HEURE de la soutenance de la thèse : mercredi 12 juillet 2017 à 10h30

Soutenance de **Theano KARATSORI** pour une thèse de DOCTORAT de l'Université Grenoble Alpes,
spécialité : NANO ELECTRONIQUE ET NANO TECHNOLOGIES

Intitulé de la thèse : « Caractérisation et modélisation de UTBB MOSFET sur SOI pour les technologies CMOS avancées et applications en simulations circuits »

Lieu de soutenance de la Thèse : Grenoble INP - Phelma Minatec - 3 Parvis Louis Néel - CS 50257 - 38016 Grenoble Cedex 01 - salle Amphithéâtre Z108

Thèse préparée dans le **laboratoire** : UMR 5130 - Institut de Microélectronique, Electromagnétisme et Photonique - Laboratoire d'hyperfréquences et de caractérisation ,
sous la direction de Gérard GHIBAUDO, directeur de thèse .

Membres du jury :

- Dimitrios TASSIS - Examineur
- Francis BALESTRA - Examineur
- Nathalie MALBERT - Rapporteur
- Brice GAUTIER - Rapporteur

Résumé de thèse :

La motivation de cette thèse est deux des principaux problèmes soulevés par la mise à l'échelle des appareils de la nouvelle ère dans la conception MOSFET contemporaine: le développement d'un modèle de courant de drain analytique et compact, valable dans toutes les régions d'opération, décrivant précisément les caractéristiques Id-Vg et Id-Vd des dispositifs FDSOI à canaux courts et l'étude des problèmes de fiabilité et de variabilité de ces transistors évolués à l'échelle nanométrique. Le chapitre II fournit une base théorique et technique pour une meilleure compréhension de cette thèse, en mettant l'accent sur les paramètres électriques MOSFET critiques et les techniques d'extraction. Il démontre les méthodologies de Y-Function et de Split-CV pour la caractérisation électrique dans divers types de semiconducteurs. L'influence du niveau de l'oscillateur du signal AC sur la mesure de la mobilité efficace par la technique Split-CV dans MOSFET est également analysée. Une nouvelle méthodologie basée sur la fonction Lambert W qui permet d'extraire les paramètres MOSFET sur la gamme de tension de grille complète, permettant de décrire la transition entre les régions en dessous et au dessus du seuil, malgré la réduction de la tension d'alimentation. Enfin, certains éléments de base concernant le bruit à basse fréquence (LFN) sur la caractérisation MOSFET sont décrits. Le chapitre III présente la modélisation analytique et compacte du courant de drain dans les MOSFET FDSOI à l'échelle nanométrique. Des modèles analytiques simples pour les tensions de seuil de la grille avant et arrière et les facteurs d'idéalité ont été développés en termes de paramètres de géométrie du dispositif et de tensions de polarisation appliquées avec contrôle de la grille arrière. Un modèle analytique et compact de courant de drain a été développé pour les MOSFET FDSOI UTBB légèrement dopés

avec contrôle de la grille arrière, prenant en compte la géométrie réduite et d'autres effets importants dans ces technologies et implémenté en Verilog-A pour la simulation des circuits dans Cadence Spectre. Le chapitre IV traite des problèmes de fiabilité dans les transistors FDSOI. La dégradation par des porteurs chauds des nMOSFET UTBB FDSOI decananométrique a été étudiée dans différentes conditions de stress de drain et de grille. Les mécanismes de dégradation ont été identifiés grâce à des mesures LFN à température ambiante dans les domaines de la fréquence et du temps. Un modèle de vieillissement HC est proposé permettant de prédire la dégradation du dispositif stressé dans différentes conditions de polarisation, en utilisant de paramètres uniques déterminés pour chaque technologie extraits par des mesures. Enfin, les caractéristiques de stress NBTI et le comportement de relaxation après stress sous la polarisation positive des pMOSFET UTBB FDSOI de grille HfSiON ont été étudiés. Un modèle pour le NBTI a été développé en considérant les mécanismes de piégeage/dépiégeage des trous, en fonction de la température et de la tension de polarisation. Le chapitre V présente des études sur les problèmes de variabilité dans les dispositifs decananométriques. Les principales sources de courant de drain et de grille de la variabilité locale ont été étudiées. Dans cet aspect, un modèle de courant de drain de la variabilité locale, valable pour toute condition de polarisation de grille et de drain, a été développé. Les principaux paramètres MOSFET de variabilité locale et globale ont été extraits par ce modèle pour différentes technologies CMOS (Bulk 28nm, FDSOI 14nm, Si bulk FinFET 14nm, nanofils Si/SiGe sous 15nm). L'impact de la variabilité du courant de drain sur les circuits de Cadence Spectre est présenté. Un résumé de cette thèse est présenté au chapitre VI, qui souligne les principales contributions à la recherche et les orientations de recherche futures sont suggérées.

Fait à Grenoble, le *

Le doctorant Theano KARATSORI

* La date sera mise ultérieurement lorsque l'autorisation de soutenance de thèse aura été accordée par la direction du SED

Communauté Université Grenoble Alpes

Bâtiment les Taillées • 271 rue de la Houille Blanche • DOMAINE UNIVERSITAIRE • 38400 SAINT-MARTIN-D'HÈRES • FRANCE

Tel. +33 4 76 82 83 84 • E-mail : contact@grenoble-univ.fr