

Collège Doctoral
Université Savoie Mont Blanc - DRED
Bureau des Thèses et Habilitations
27 Rue Marcoz - BP1104
73011 CHAMBERY Cedex
Tél : 04.79.75.91.51

AVIS DE SOUTENANCE DE THESE

*Pour confirmation des horaires et lieu de soutenance de la thèse par le doctorant et diffusion
via Internet par le service des études doctorales à une liste préétablie de destinataires*

DATE ET HEURE de la soutenance de la thèse : mercredi 23 novembre 2016 à 10h15

Soutenance de **Khadim DIENG** pour une thèse de DOCTORAT de l'Université Grenoble Alpes,
spécialité : NANO ELECTRONIQUE ET NANO TECHNOLOGIES

Intitulé de la thèse : « Caractérisation et modélisation de nouvelles capacités « Through Silicon Capacitors » à forte intégration pour la réduction de consommation et la montée en fréquence dans les architectures 3D de circuits intégrés. »

Lieu de soutenance de la Thèse : IMEP-LAHC Université Savoie Mont Blanc - Bât. Chablais - 73370 Le Bourget du Lac - salle Amphithéâtre Bâtiment Pôle Montagne

Thèse préparée dans le **laboratoire** : UMR 5130 - Institut de Microélectronique, Electromagnétisme et Photonique – Laboratoire d'hyperfréquences et de caractérisation ,
sous la direction de Bernard FLECHET , directeur de thèse .

Membres du jury :

- Bernard FLECHET - Directeur de these
- Bruno SAUVIAC - Examineur
- Francis CALMON - Rapporteur
- Cédric BERMOND - CoDirecteur de these
- Thierry LE GOUGUEC - Rapporteur

Résumé de thèse :

La diminution de la longueur de grille des transistors a été le moteur essentiel de l'évolution des circuits intégrés microélectroniques ces dernières décennies. Toutefois, cette évolution des circuits microélectroniques a entraîné une densification des lignes d'interconnexion, donc la génération de fortes pertes, des ralentissements et de la diaphonie sur les signaux transmis, ainsi qu'une augmentation de l'impédance parasite des interconnexions. Cette dernière est néfaste pour l'intégrité de l'alimentation des composants actifs présents dans le circuit. Son augmentation multiplie le risque d'apparition d'erreurs numériques conduisant au dysfonctionnement d'un système. Il est donc nécessaire de réduire l'impédance sur le réseau d'alimentation des circuits intégrés. Pour ce faire, les condensateurs de découplage sont utilisés et placés hiérarchiquement à différents étages des circuits et dans leur intégralité (PCB, package, interposeur, puce). Ces travaux de doctorat s'inscrivent dans le cadre des développements récents des nouvelles solutions d'intégration 3D en microélectronique et ils portent sur l'étude de nouvelles architectures de capacités 3D, très intégrées et à fortes valeurs (>1 nF), élaborées en profondeur dans l'interposeur silicium. Ces composants, inspirés des architectures de via traversant le silicium (TSV, Through Silicon Via), sont nommées Through Silicon Capacitors (TSC). Ils constituent un élément clef pour l'amélioration des performances des alimentations des circuits intégrés car elles pourront réduire efficacement la consommation des circuits grâce à cette intégration directe de composants passifs dans l'interposeur silicium qui sert

d'étage d'accueil des puces. Ces composants tridimensionnels permettent en effet d'atteindre de grandes densités de capacité de 35 nF/mm². Les enjeux sont stratégiques pour des applications embarquées et à haut débit et plus généralement dans un environnement économique et sociétal conscient de nos limites énergétiques. De plus ces condensateurs de découplage doivent fonctionner à des fréquences atteignant 2 GHz, voire 4 GHz, qui tendent à maximiser les effets parasites préjudiciables aux performances énergétiques des alimentations. Ceci est rendu possible par l'optimisation de leur intégration et l'utilisation de couches de cuivre avec, une bonne conductivité supérieure à 45 MS/m, comme électrodes. Les technologies d'élaboration des condensateurs TSC ont été développées au sein du CEA-LETI et de STMicroelectronics. Leur comportement électrique restait jusqu'alors mal connu et leurs performances difficiles à quantifier. Les études menées dans cette thèse consistaient à modéliser ces nouveaux composants en prenant en compte les paramètres matériaux et géométriques afin de connaître les effets parasites. Les modèles électriques établis ont été confrontés à des caractérisations électriques effectuées sur une large bande de fréquence (du DC à 40 GHz). Ainsi ce travail a permis d'optimiser une architecture de capacité et leur intégration dans un réseau d'alimentation d'un circuit intégré 3D a pu montrer leur efficacité pour des opérations de découplage.

Fait à Chambéry, le *

Le doctorant Khadim DIENG

* La date sera mise ultérieurement lorsque l'autorisation de soutenance de thèse aura été accordée par la direction du SED

Communauté Université Grenoble Alpes

Bâtiment les Taillées • 271 rue de la Houille Blanche • DOMAINE UNIVERSITAIRE • 38400 SAINT-MARTIN-D'HÈRES • FRANCE

Tel. +33 4 76 82 83 84 • E-mail : contact@grenoble-univ.fr