

Collège Doctoral
Bâtiment Pluriel – 701 rue de la Piscine
BP 81 – FR – 38402 SAINT MARTIN D'HÈRES
Tél. 04 76 82 40 24 – Fax 04 76 82 40 40

AVIS DE SOUTENANCE DE THESE

*Pour confirmation des horaires et lieu de soutenance de la thèse par le doctorant et diffusion
via Internet par le service des études doctorales à une liste préétablie de destinataires*

DATE ET HEURE de la soutenance de la thèse : vendredi 8 juin 2018 à 10h30

Soutenance de **Jean-Baptiste HENRY** pour une thèse de DOCTORAT de l'Université Grenoble Alpes,
spécialité : NANO ELECTRONIQUE ET NANO TECHNOLOGIES

Intitulé de la thèse : « Contribution à l'étude expérimentale des résistances d'accès dans les transistors de dimensions deca-nanométrique des technologies CMOS FD-SOI »

Lieu de soutenance de la Thèse : Phelma Minatec - 3 Parvis Louis Néel - 38000 Grenoble - salle Amphithéâtre M 001 - Bâtiment M - hall d'accueil

Thèse préparée dans le **laboratoire** : UMR 5130 - Institut de Microélectronique, Electromagnétisme et Photonique - Laboratoire d'hyperfréquences et de caractérisation ,
sous la direction de Gérard GHIBAUDO, directeur de thèse .

Membres du jury :

- GERARD GHIBAUDO - Directeur de these
- MIREILLE MOUIS - Examinateur
- FRANCIS CALMON - Rapporteur
- PHILIPPE LORENZINI - Rapporteur

Résumé de thèse :

La réduction des dimensions des transistors à effet de champ MOS a depuis quelques années ralenti à cause de l'émergence de facteurs parasites tels que la résistance d'accès. En effet, la miniaturisation du canal s'est accompagnée par une diminution de sa résistance tandis que celle des zones d'accès à la frontière avec le canal est restée constante ou a augmenté. L'objectif de cette thèse a été de mettre en place une méthodologie de caractérisation électrique prenant en compte cette composante parasite

longtemps considérée négligeable dans le milieu industriel. Dans un premier chapitre, le fonctionnement de la technologie CMOS et la spécificité de son adaptation FD-SOI sont d'abord présentées. La deuxième moitié du chapitre est quant à elle consacrée à l'état de l'art de la caractérisation électrique et de leur position vis-à-vis de la résistance d'accès. Le second chapitre présente une nouvelle méthode d'extraction des composantes parasites résistives et capacitives à l'aide de transistors de longueurs proches. Les résultats obtenus sont ensuite comparés aux modèles existants. De ces derniers, un nouveau modèle plus physiquement pertinent est proposé en fin de chapitre. Le troisième chapitre expose une nouvelle méthode de caractérisation électrique basée sur la fonction Y qui permet une analyse du comportement d'un transistor sur l'ensemble de son régime de fonctionnement. Cette nouvelle méthode est ensuite combinée à celle développée dans le chapitre 2 pour assembler un protocole expérimentale permettant de corriger et d'analyser l'impact des résistances d'accès sur les courbes de courant et les paramètres électriques. Finalement, le dernier chapitre applique la méthodologie vue dans la chapitre précédent à l'étude du désappariement stochastique des transistors. Les résultats obtenus sont ensuite comparés aux méthodes en vigueur dans les domaines industriel et académique qui présentent chacune leurs avantages et leurs inconvénients. La nouvelle méthode ainsi proposée tente de garder le meilleur de chacune de ces dernières.

Fait à Grenoble, le * 23/05/18



Le doctorant Jean-Baptiste HENRY

* La date sera mise ultérieurement lorsque l'autorisation de soutenance de thèse aura été accordée par la direction du SED

Communauté Université Grenoble Alpes

Bâtiment les Taillées • 271 rue de la Houille Blanche • DOMAINE UNIVERSITAIRE • 38400 SAINT-MARTIN-D'HÈRES • FRANCE

Tel. +33 4 76 82 83 84 • E-mail : contact@grenoble-univ.fr