



Collège Doctoral

# UNIVERSITE DE GRENOBLE

ANNEE UNIVERSITAIRE 2010/2011

## AVIS DE SOUTENANCE DE THESE

*[ Pour confirmation des horaires et lieu de Soutenance de la Thèse par le Doctorant  
et diffusion via Internet par le Bureau de Gestion des Thèses du Service Central de Scolarité à une liste pré-établie de destinataires ]*

*Toutes les rubriques mentionnées doivent être obligatoirement renseignées et leur mise en forme respectée, par le Doctorant.*

**Le 5 Décembre 2011, 14:30**

Soutenance de M. Jae Woo LEE pour une thèse de DOCTORAT de l'Université de Grenoble, spécialité Microélectronique et Nanotechnologies (MENT) intitulée : Electrical characterization and modelling of low dimensional nanostructure field-effect transistors.

**Lieu : Korea University - Engineering Building – Room 240 - Anam-Dong - Seongbuk-Gu - SEOUL – SOUTH KOREA**

Thèse préparée dans le laboratoire IMEP-LAHC, sous la direction de Mme Mireille MOUIS en co-tutelle avec Korea University.

### **RESUME DE THESE (en 10 lignes maximum)**

Cette thèse analyse le fonctionnement de différents types de transistors de faible dimensionnalité sur une base expérimentale. Nous mettons l'accent sur l'analyse des effets de canal courts et des propriétés de transport. En particulier, des caractérisations électriques à température variable nous permettent d'analyser en détail la mobilité dans le canal et de décorrélérer les différents mécanismes qui la limitent. Plusieurs résultats très importants ont été obtenus. Nous avons montré que, grâce à cette approche qui a l'avantage d'être non destructive, il est possible d'évaluer les rugosités relatives des différentes interfaces qui participent à la conduction dans un transistor de type FinFET, et en particulier celle des faces verticales qui tendent à dégrader les performances du fait de la rugosité induite par le procédé de gravure utilisé pour la fabrication du *fin*. L'ingénierie de la contrainte représente une technique extrêmement performante pour améliorer le transport. Nous avons étudié le lien entre contrainte et performance pour des transistors à nanofils de type PMOS à canal SiGe. Une analyse approfondie a permis de montrer que la contrainte jouait un rôle plus complexe que prévu dans les composants courts du fait de son impact additionnel sur la diffusion des dopants. Ces conclusions ont des implications technologiques très importantes. Enfin nous apportons également des éléments à l'étude des transistors à nanofils sans jonction (JLT) et, sur la base de simulations simplifiées, à l'évaluation du potentiel des nanofils pour la détection électrostatique de charges.

### **MEMBRES DU JURY**

Jong-Tae PARK, Professor, Incheon University, Incheon, Corée, rapporteur  
Jongwan JUNG, Professor, Sejong University, Séoul, Corée, rapporteur  
Gérard GHIBAUDO, Directeur de Recherche, CNRS, IMEP-LAHC, président  
Gyutae KIM, Professor, Korea University, Séoul, Corée, examinateur  
Laurent Montès, Maître de Conférence, Grenoble INP, IMEP-LAHC, examinateur  
Mireille MOUIS, Directeur de recherche, CNRS, IMEP-LAHC, directeur de thèse

Fait à Grenoble, le **18 Novembre 2011**