

---

# **Evaluation de Back-End Of Line Optimisés pour les Inductances Intégrées en Technologies CMOS et BiCMOS Avancées visant les Applications Radiofréquences**

---

La téléphonie mobile a connu ces dernières années un développement extraordinaire motivé par une volonté d'intégration complète de l'émetteur-récepteur (blocs RF/digitaux/analogues) sur une même puce afin de répondre aux contraintes de faible coût et faible puissance de consommation. Dans ce contexte, la réduction du nombre de composants externes est inévitable. Aussi se dirige-t-on progressivement vers une intégration de plus en plus importante des composants passifs sur silicium, et en particulier des inductances, composant clé des applications RF.

Intégrées aux niveaux des interconnexions en technologies CMOS et BiCMOS, celles-ci doivent à leur tour répondre aux critères de hautes performances électriques, faible surface et/ou forts courants. Mais le défi n'est pas simple à relever. En effet, l'évolution du Back-End Of Line (BEOL) des technologies CMOS avancées et l'utilisation d'un substrat silicium à pertes tendent à dégrader fortement les performances de ces dispositifs. Ainsi, le développement de BEOL optimisés pour les inductances intégrées apparaît comme indispensable si on veut pouvoir répondre aux cahiers des charges, visés par les circuits RF.

Dès lors, le principal objectif de cette thèse est de proposer des choix technologiques pour l'optimisation des inductances intégrées sur silicium, visant les applications dans la bande de fréquences s'étalant de 1 à 5 GHz.

Dans une première partie, une stratégie de gestion des inserts métalliques à l'échelle de l'inductance a été évaluée, afin de satisfaire les règles de densité imposées dans les technologies avancées (jusqu'au nœud technologique 32 nm).

Nous nous sommes ensuite intéressés à l'évaluation d'un BEOL innovant utilisant deux niveaux de cuivre épais en technologie CMOS 65 nm. En effet, la volonté actuelle d'intégrer le module dédié à l'amplificateur de puissance en technologie CMOS a soulevé ces dernières années la problématique de la gestion de forts courants (plusieurs centaines de mA à 1 A pour une température s'élevant jusqu'à 125°C) qui ne peut être adressée avec un BEOL standard.

Dans la continuité de ce travail, ce même BEOL a été évalué en technologie SOI. En effet, cette dernière commence à émerger pour l'intégration du module d'émission complet en technologie CMOS de part sa compatibilité avec des substrats silicium Hautement Résistifs (HR). Ceci a permis récemment l'intégration de nouvelles fonctions telles que le commutateur d'antenne et diverses fonctions passives nécessaires (duplexer, balun, ...). L'optimisation d'inductances utilisant ce module double cuivre épais a été menée en technologie CMOS HR SOI 130 nm.

Mots clés: inductances intégrées, BEOL, densité de métallisation, métal épais, RF, capacité en courant, surface

---

## **Evaluation of Optimized BEOL Dedicated to the Integration of Inductors in Advanced CMOS and BiCMOS Technologies targeting RF Applications**

---

Wireless communications have increased in a spectacular way over recent years due to the quest of complete transceiver integration (RF/digital/analog blocks) on a same chip in order to meet cost effective and low power constraints. In this context, the reduction of off-chip components is necessary. This trend has gradually led to a greater integration of passive components in silicon technologies, especially inductors, one of the key RF components.

Integrated in BEOL metallizations of CMOS or BiCMOS technologies, these devices have to meet requirements in terms of high electrical performances, low area and/or high current capability. However, this challenge is tricky to address. Actually, BEOL evolution and silicon substrate losses in Advanced CMOS technologies greatly decrease inductors' performances. Thus, the evaluation of optimized BEOL dedicated to the integration of inductors is essential if we want to target RF applications' specifications.

In this context, the main objective of this thesis is to propose optimized technological solutions for inductors integrated in silicon technologies, and targeting RF applications in the 1 GHz - 5 GHz frequency range.

As a first step, a dummy fill strategy has been evaluated at the scale of the device (without impacting its electrical performances) in order to fulfil metal density required in advanced technologies (down to the 32 nm node).

Then, we have focused our attention on the evaluation of an optimized BEOL using a Double Thick Copper module in a 65 nm CMOS bulk technology. Actually, the wish to integrate the module dedicated to the power amplifier in CMOS technology has raised high current issues (from several hundreds of mA up to 1 A @ 125°C), which is impossible to target with a standard BEOL.

In the same trend, this optimized BEOL has been evaluated in SOI technology. Actually, this technology is starting to come up for the complete integration of the RF Front End module in CMOS technology thanks to its compatibility with HR silicon substrates which enables to integrate even more functions (antennas, diplexer, balun...). Thus, inductor's optimization using a Double Thick Copper module has been performed in a 130 nm HR SOI CMOS technology.

Key words: integrated inductors, BEOL, metal density, thick Copper level, RF, current capability, consumed area