

INSTITUT POLYTECHNIQUE DE GRENOBLE

GRENOBLE INP

Année Universitaire 2007/2008

AVIS DE SOUTENANCE DE THESE

M. **Florent ROCHETTE** soutiendra le **26 septembre 2008 à 10H** à **Minatec-Polygone (Amphi P005)** une thèse de DOCTORAT de l'INSTITUT POLYTECHNIQUE de GRENOBLE, spécialité **Micro-Nanoélectronique** intitulée : **ETUDE ET CARACTERISATION DE L'INFLUENCE DES CONTRAINTES MECANQUES SUR LES PROPRIETES DU TRANSPORT ELECTRONIQUE DANS LES ARCHITECTURES MOS AVANCEES.**

Thèse préparée au Laboratoire de Simulation et Caractérisation des Dispositifs et Procédés du CEA-LETI et à l'Institut de Microélectronique, Electromagnétisme et Photonique (IMEP-LAHC), au sein du pôle en Micro et NanoTechnologies (MINATEC), FRANCE, sous la direction conjointe de Mme **Mireille MOUIS** et M. **Mikaël CASSÉ**.

RESUME DE THESE

La miniaturisation des transistors Métal-Oxyde-Semi-conducteur à effet de champ (MOSFET) ne suffit plus à satisfaire les spécifications de performances de *l'International Technology Roadmap for Semiconductors* (ITRS). Une solution consiste à améliorer le transport électronique dans le canal de conduction des MOSFETs : l'utilisation de l'effet piézorésistif du silicium est une option intéressante pour y parvenir.

Cette étude présente l'état de l'art des architectures innovantes permettant d'introduire des contraintes mécaniques dans les MOSFETs après avoir posé la problématique de la microélectronique actuelle. La physique du silicium contraint est aussi exposée. L'accent est plus particulièrement mis sur l'effet d'une contrainte mécanique sur la mobilité des porteurs, paramètre de transport fondamental de la couche d'inversion d'un MOSFET. La piézorésistivité bidimensionnelle est alors étudiée expérimentalement sur différentes architectures. La réduction de la masse effective de conduction des électrons sous contrainte uniaxiale en tension a notamment pu être mise en évidence. Après avoir présenté les principales techniques de caractérisation électrique permettant d'extraire les paramètres de transport d'un transistor MOS, en particulier la technique avantageuse de l'extraction de la mobilité par magnétorésistance, l'origine physique du gain en mobilité et les effets d'une contrainte mécanique sur les principaux paramètres d'un MOSFET sont étudiés en détail sur des architectures innovantes de silicium contraint directement sur isolant (sSOI). Les dégradations de la mobilité et du gain induit par la contrainte mécanique avec la réduction des dimensions sont analysées. Les mécanismes responsables de la limitation de la mobilité dans les transistors ultracourts sont identifiés. Enfin des résultats de performances d'architectures avancées (FDSOI MOSFETs ultra courts et étroits à empilement de grille HfO_2/TiN) à canaux contraints par le substrat ou par le procédé de fabrication sont montrés afin d'illustrer l'intérêt du silicium contraint à des échelles déca-nanométriques. Les effets de superposition des techniques de mises sous contrainte du canal sont également abordés.

MEMBRES DU JURY

M. Gérard GHIBAUDO	, DR CNRS IMEP-LAHC (Grenoble)	, Président
M. Cor CLAEYS	, PROF. UNIV IMEC (Leuven, BELGIUM)	, Rapporteur
M. Alain PONCET	, PROF. UNIV INL-INSA (Lyon)	, Rapporteur
Mme Mireille MOUIS	, DR CNRS IMEP-LAHC (Grenoble)	, Directrice de thèse
M. Mikaël CASSÉ	, ING. CEA-LÉTI (Grenoble)	, Co-encadrant
M. Jean-Pierre COLINGE	, PROF. UNIV TYND. INST. (Cork, IRELAND)	, Examineur

Fait à Grenoble, le **18 Septembre 2008**