

Soutenance de thèse de Julie Roullard – jeudi 15 décembre 2011 à 10h15
Bâtiment Horloge - Accueil du Site de Savoie Technolac - Le Bourget du Lac

Thèse de doctorat - spécialité Optique et Radiofréquences
Ecole Doctorale EEATS – Université de Grenoble

Travaux réalisés au laboratoire IMEP-LAHC UMR CNRS 5130 – site Université de Savoie

Titre :

Analyse et optimisation des performances électriques des réseaux d'interconnexions et des composants passifs dans les empilements 3D de circuits intégrés.

Résumé :

Ces travaux de doctorat portent sur la caractérisation, la modélisation et l'optimisation des performances électriques des réseaux d'interconnexions dans les empilements 3D de circuits intégrés avancés. Les applications visées concernent particulièrement les circuits 3D à très haut débit, mobiles et embarquées incluant des assemblages de puces mémoires sur processeurs (Wide I/O).

Dans un premier temps des outils de caractérisation ont été développés pour les briques élémentaires d'interconnexions spécifiques à l'intégration 3D : les interconnexions de redistribution (RDL), les interconnexions enfouies dans le BEOL silicium, les vias traversant le silicium (TSV) et les piliers de cuivre (Cu-Pillar). Des modèles électriques équivalents sont proposés et la confrontation des résultats obtenus avec ceux issus de modélisations électromagnétiques sur une très large bande de fréquence (MHz-GHz) permettent de valider nos outils.

Dans un second temps une analyse des performances électriques des chaînes complètes d'interconnexions propres aux empilements 3D de puces a été effectuée. Les cas des empilements de puces « Face to Face », « Face to Back » et par « Interposer » sont comparés en vue d'établir leurs performances respectives en terme de rapidité de fonctionnement. Des études paramétriques portant sur les caractéristiques électriques des matériaux (conductivité des substrats), épaisseurs de collage et topologies des interconnexions (dimensions, présence de dummies...) nous permettent de quantifier et prédire ces performances puis de définir les éléments d'interconnexion les plus critiques et nécessitant une attention particulière. Ces études sont aussi réalisées pour des inductances planaires 2D intégrées dans le BEOL et dont les performances électriques sont fortement impactées par le report d'un substrat de silicium issus de l'empilement des puces. Plusieurs voies d'optimisation des performances des inductances 2D sont proposées afin de réduire l'impact d'une intégration 3D.

La dernière partie de nos travaux est consacrée à l'établissement de différentes stratégies d'optimisation des performances des circuits 3D en vue de maximiser les fréquences de fonctionnement, minimiser les retards de propagation et assurer l'intégrité des signaux (digramme de l'œil). Nous avons pu répondre aux interrogations des concepteurs de circuits 3D concernant les meilleurs choix d'orientation des puces, chemins de routage et densité d'intégration. Ces résultats ont été valorisés sur une application concrète de circuits mémoires sur processeurs (Wide I/O) pour lesquels les spécifications requises en termes de débits (Gbp/s) restent un véritable challenge et concernent des marchés économiques à fort enjeu (mobilité et faible consommation pour des circuits multimédia ultra rapides).