



Collège Doctoral

# UNIVERSITE DE GRENOBLE

ANNEE UNIVERSITAIRE 2010/2011

## AVIS DE SOUTENANCE DE THESE

*[ Pour confirmation des horaires et lieu de Soutenance de la Thèse par le Doctorant  
et diffusion via Internet par le Bureau de Gestion des Thèses du Service Central de Scolarité à une liste pré-établie de destinataires ]*

*Toutes les rubriques mentionnées doivent être obligatoirement renseignées et leur mise en forme respectée, par le Doctorant.*

### **Le 15 Décembre 2011 à 10 h 15**

Soutenance de **Melle ROULLARD Julie** pour une thèse de DOCTORAT de l'Université de Grenoble, spécialité : Optique et Radiofréquence intitulée : Analyse et optimisation des performances électriques des réseaux d'interconnexions et des composants passifs dans les empilements 3D de circuits intégrés.

**Lieu : Savoie Technolac (Accueil /Bâtiment Horloge) - Avenue du Lac du Bourget - LE BOURGET DU LAC (73)**

Thèse préparée dans le laboratoire IMEP-LAHC, sous la direction conjointe de Mr FLECHET Bernard et Mr CAPRARO Stéphane .

### **RESUME DE THESE (en 10 lignes maximum)**

Ces travaux de doctorat portent sur la caractérisation, la modélisation et l'optimisation des performances électriques des réseaux d'interconnexions dans les empilements 3D de circuits intégrés. Dans un premier temps des outils de caractérisation ont été développés pour les briques élémentaires d'interconnexions spécifiques à l'intégration 3D : les interconnexions de redistribution (RDL), les interconnexions enfouies dans le BEOL, les vias traversant le silicium (TSV) et les piliers de cuivre (Cu-Pillar). Des modèles électriques équivalents sont proposés et validés sur une très large bande de fréquence (MHz-GHz) par modélisation électromagnétique. Une analyse des performances électriques des chaînes complètes d'interconnexions des empilements 3D de puces est ensuite effectuée. Les empilements « Face to Face », « Face to Back » et par « Interposer » sont comparés en vue d'établir leurs performances respectives en terme de rapidité de transmission. Une étude est aussi réalisée sur les inductances 2D intégrées dans le BEOL et dont les performances électriques sont fortement impactées par le report des substrats de silicium. La dernière partie est consacrée à l'établissement de stratégies d'optimisation des performances des circuits 3D en vue de maximiser leur fréquence de fonctionnement, minimiser les retards de propagation et assurer l'intégrité des signaux (digramme de l'œil). Des réponses sont données aux concepteurs de circuits 3D quant aux meilleurs choix d'orientation des puces, de routage et de densité d'intégration. Ces résultats sont valorisés sur une application concrète de circuits 3D « mémoire sur processeur » (Wide I/O) pour lesquels les spécifications requises sur les débits (Gbp/s) restent un véritable challenge.

### **MEMBRES DU JURY**

- Mme Valérie Madrangeas (Examineur), Professeur, Université de Limoges
- Mme Emmanuelle Bourdel (Rapporteur), Maître de Conférences HDR, Université de Cergy Pontoise
- Mr Eric Lheurette (Rapporteur), Professeur, Université de Lille 1
- Mr Stéphane Capraro (Co-directeur thèse), Maître de Conférences, Université de Savoie
- Mr Bernard Fléchet (Directeur de thèse), Professeur, Université de Savoie

Invités :

- Mr Gilles Poupon, CEA-LETI Grenoble
- Mr Alexis Farcy, STMicroelectronics, Crolles

Fait à Grenoble, le **12 Décembre 2011**